



Самосинхронный универсальный логический элемент для реализации систем функций

С.Ф. Тюрин, А.Ю. Скорнякова

*Пермский национальный исследовательский политехнический университет
(ПНИПУ)*

Аннотация: Рассматривается использование самосинхронного универсального логического элемента для реализации систем логических функций. Выполняется моделирование самосинхронного логического элемента в схемотехнической системе моделирования NI Multisim в рабочих фазах и фазе гашения. Подтверждается работоспособность предложенного элемента. Описываются системы логических функций в дизъюнктивной нормальной форме. Ставится задача для дальнейшего исследования.

Ключевые слова: Самосинхронная схема, КМОП-транзистор, двойственный канал, система логических функций, Look Up Table (LUT), инвертор, рабочая фаза, фаза гашения, универсальный логический элемент, совершенная дизъюнктивная нормальная форма (СДНФ).

Введение

В настоящее время активно развивается научно-техническое направление самосинхронных схем (далее по тексту СС). Теоретические основы анализа и синтеза СС сформировал ещё в 50-е – 60-е годы XX века выдающийся американский математик Д. Маллер [1]. СС отличаются от синхронных и асинхронных схем, тем, что в них происходит фиксация переходных процессов в отдельных блоках. Тем самым скорость функционирования схемы зависит только от задержек распространения сигнала в схеме. Позднее, в СССР, теория Маллера стала основой для исследований СС группой В. И. Варшавского [2,3]. В начале XXI века группа перестала существовать как целое, один из известных представителей этой группы - Алекс Яковлев, работает, в настоящее время, в университете Нью-Касла (Великобритания). Он развивает интересное направление на основе СС - «Энергетически модулированные вычисления» (Energy-modulated computing) [4]. Единственной группой специалистов в России, которая сегодня занимается развитием самосинхронных схем, является группа, в составе ИПИ РАН, основная их цель направлена на проектирование

конкретных СС. Они уже разработали библиотеку СС элементов [5], которая позволяет строить СС на базовых матричных кристаллах (БМК). Однако, помимо разработанных разнообразных специализированных элементов целесообразно в эту библиотеку включить конфигурируемые логические элементы, настраиваемые на реализацию заданной логической функции. Это позволит унифицировать логику и в ряде случаев упростить разработку проектов на БМК по аналогии с тем, как строится логика ПЛИС FPGA, содержащая так называемые LUT (Look Up Table) [6,7]. Наиболее распространённое число входов переменных – четыре, однако активно разрабатываются адаптивные логические модули (например, фирмы Intel-Altera, Xilinx), в которых доступна опция выбора числа переменных LUT, там реализуются некоторые функции даже восьми переменных [8].

Реализация нескольких функций в СДНФ

Для реализации систем логических функций в СДНФ предлагается использовать самосинхронный дешифратор LUT. Как известно, LUT [6,7] строится из элементарных мультиплексоров 2-1. В статье [12] проводится диагностирование DC LUT и доказывается эффективность использования «обратной» структуры LUT для упрощения реализации систем функций для разного числа переменных. С целью упрощения рассуждений в данной статье рассматривается одноразрядный DC-LUT, представленный на рисунке 1.

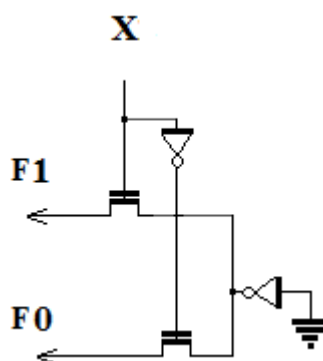


Рис. 1 – Элемент 1DC-LUT

В СС используются парафазные переменные, то есть передаются и X , и \bar{X} , таким образом, для 1DC-LUT получаем систему функций:

$$\begin{aligned} F1(X) &= (Ground)(X); \\ F0(X) &= (Ground)(\bar{X}), \end{aligned} \quad (1)$$

Как уже было сказано, СС используют парафазные переменные, это означает, что сигнал может принимать три значения – рабочая фаза 1, рабочая фаза 0 и фаза гашения. Для реализации фазы гашения (спейсера) предложим дополнительную ветвь дерева передающих транзисторов – рисунок 2.

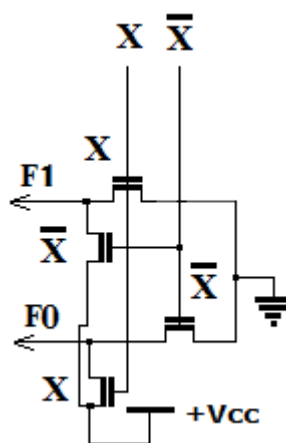


Рис. 2 – Элемент 1DC-LUT с передающими транзисторами

Таким образом, получаем систему логических функций на каждый выход элемента:

$$\begin{aligned} F1(X, \bar{X}) &= (Ground)(X) \vee (+Vcc)(\bar{X}); \\ F0(X, \bar{X}) &= (Ground)(\bar{X}) \vee (+Vcc)(X). \end{aligned} \quad (2)$$

Введем двойственный канал \bar{F} получим 1DC-LUT с двойственным каналом– рисунок 3.

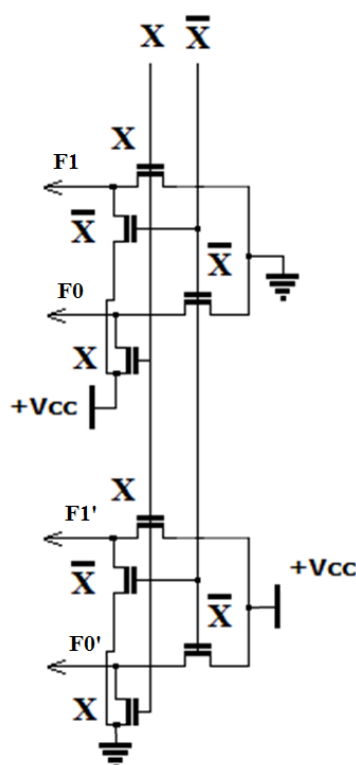


Рис. 3 – Элемент 1DC-LUT с двойственным каналом

Для элемента 1DC-LUT с двойственным каналом справедлива следующая система логических функций:

$$\begin{aligned} F1(X, \bar{X}) &= (Ground)(X) \vee (+Vcc)(\bar{X}); \\ F0(X, \bar{X}) &= (Ground)(\bar{X}) \vee (+Vcc)(X); \\ F1'(X, \bar{X}) &= (+Vcc)(X) \vee (Ground)(\bar{X}); \\ F0'(X, \bar{X}) &= (+Vcc)(\bar{X}) \vee (Ground)(X). \end{aligned} \quad (3)$$

Чтобы получить СС в элемент необходимо добавить индикаторы выходов для фиксации переходных процессов и альтернативные транзисторы на каждый канал, тогда получим 1DC-LUT-ST – рисунок 4.

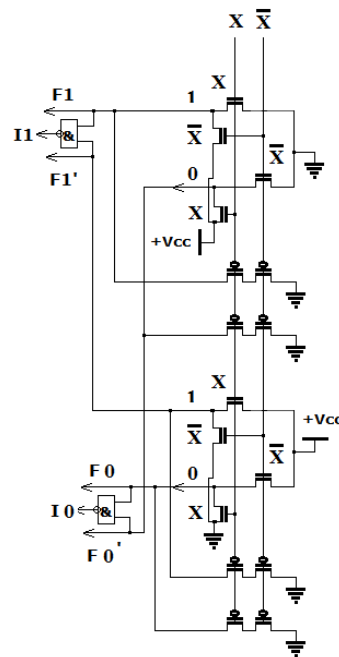


Рис. 4 –Элемент 1DC-LUT-ST с двойственными каналами и индикаторами

Таким образом получаем систему логических функций для элемента:

$$\begin{aligned} F1(X, \bar{X}) &= (Ground)(X) \vee (+Vcc)(\bar{X}) \vee \overline{(X \vee \bar{X})}; \\ F0(X, \bar{X}) &= (Ground)(\bar{X}) \vee (+Vcc)(X) \vee \overline{(X \vee \bar{X})}; \\ F1'(X, \bar{X}) &= (+Vcc)(X) \vee (Ground)(\bar{X}) \vee \overline{(X \vee \bar{X})}; \\ F0'(X, \bar{X}) &= (+Vcc)(\bar{X}) \vee (Ground)(X) \vee \overline{(X \vee \bar{X})}; \\ I1 &= \overline{[F1(X, \bar{X})][F1'(X, \bar{X})]}; \\ I0 &= \overline{[F0(X, \bar{X})][F0'(X, \bar{X})]}. \end{aligned} \quad (4)$$

В результате проделанной работы нами были получены системы логических функций в СДНФ для предложенных элементов.

Моделирование 1DC-LUT и 1DC-LUT-ST

Выполним моделирование схемы, для проверки работоспособности предложенных элементов. Для этого проведем моделирование элемента 1DC-LUT, изображённого на рисунке 3 в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group.

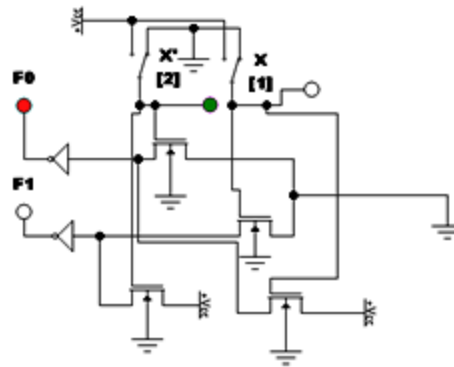


Рис. 5– Моделирование элемента 1DC-LUT в рабочей фазе, $D0=1$

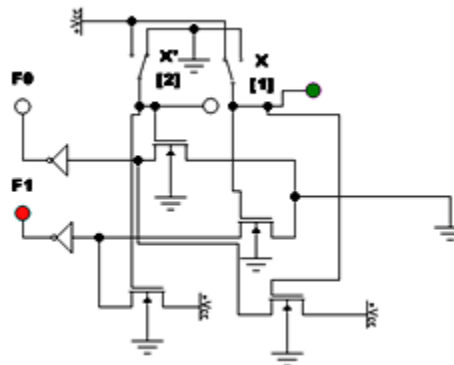


Рис. 6 – Моделирование элемента 1DC-LUT в рабочей фазе, $D0=0$

Видим, что в рабочей фазе на выход F передаётся информация со входа $D0$. В фазе гашения (спейсера) сигналы $X=X'=0$ и на выходе F независимо от $D0, D1$ устанавливается 1 (рисунок 7).

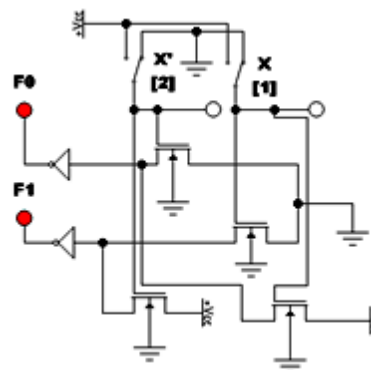


Рис. 7 – Моделирование элемента 1DC-LUT в фазе спейсера

Теперь проведем моделирование элемента 1DC-LUT-ST с двойственным каналом. Функционирование элемента в рабочей фазе при: $X=1; X'=0; D0=D1=0; F1=F0'=1; D0'=D1'=1; I0=I1=1$ показывает рисунок 8.

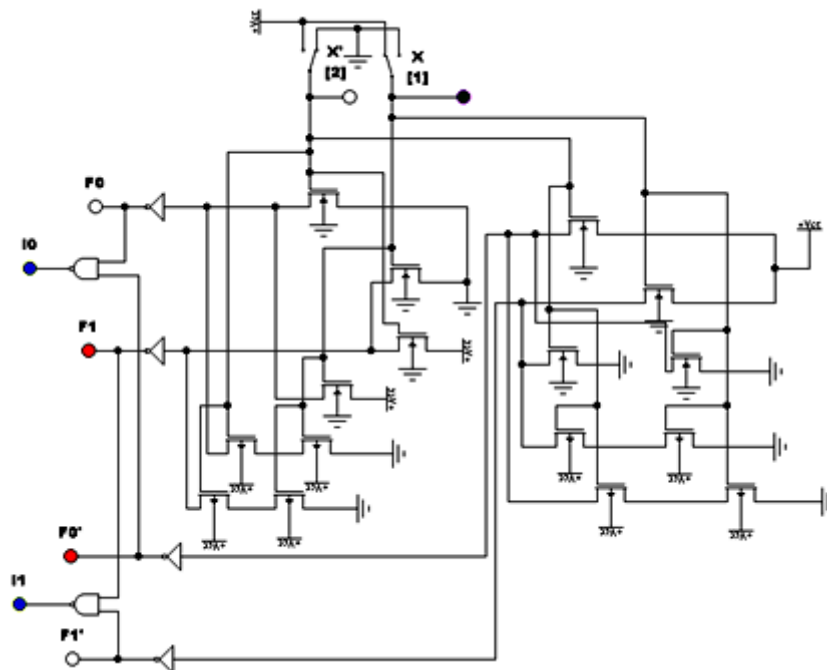


Рис. 8– Моделирование элемента 1DC-LUT-ST в рабочей фазе, $D0=0, D1=0$

Рабочая фаза в схеме 1DC-LUT-ST при: $X=1; X'=0; D0=D1=1;$
 $F1=F0'=0, D0'=D1'=0; F0=F1'=1, I0=I1=1$ изображено на рисунке 9.

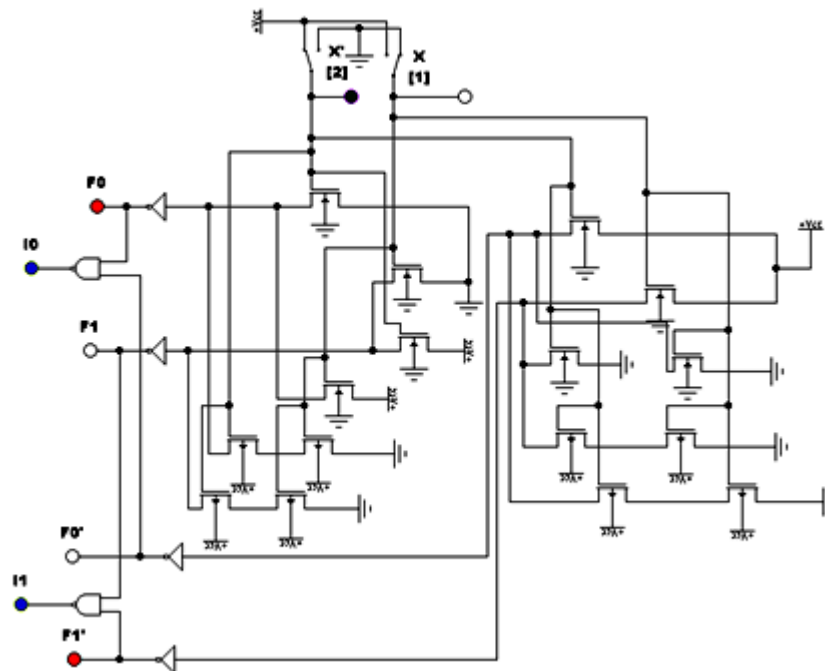


Рис. 9– Моделирование элемента 1DC-LUT-ST в рабочей фазе, $D0=1, D1=1$

Аналогично убеждаемся, что и на остальных наборах выражение (4) реализуется правильно. Моделирование фазы спейсера также подтверждает работоспособность устройства - рисунок 10.

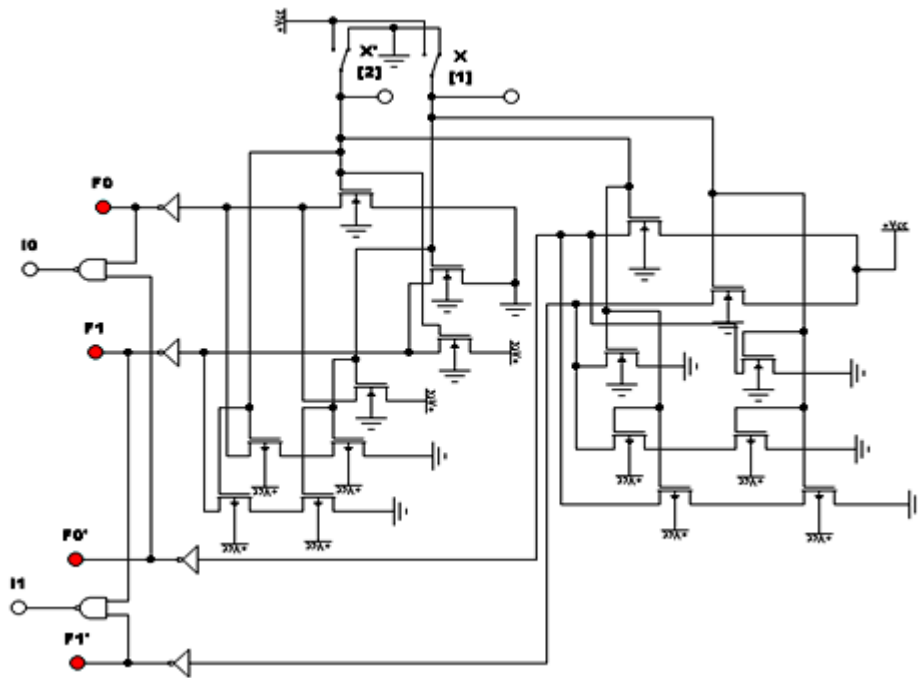


Рис. 10– Моделирование элемента 1DC-LUT-ST в фазе спейсера

Заключение

Выполнив письменные расчеты и моделирование элемента 1DC-LUT-ST, подтверждается работоспособность предложенного технического решения. На устройство получен патент РФ [10]. Ограничения на число транзисторов модели не позволяет выполнить анализ 2DC-LUT-ST. Целесообразно в дальнейшем выполнить такое моделирование с использованием программных продуктов ИПИ РАН, с которыми авторов связывает договор о научно-техническом сотрудничестве. В связи с этим необходимо провести и динамическое моделирование. Кроме того, необходимо рассмотреть вопрос проектирования DC-LUT-ST для более чем 4-х переменных, так как имеется ограничение на число последовательно подключенных транзисторов [11]. Целесообразно также получить оценки сложности декомпозиции DC-LUT-ST на устройства меньшей размерности.



Литература

1. Muller D. E., Bartky W. S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. – Harvard University Press, 1959. – pp. 204–243.
 2. Аперидические автоматы: под ред. В.И. Варшавского– М.: Наука, 1976. –304 с.
 3. Варшавский В. И., Мараховский В. Б., Розенблюм Л. Я., Яковлев А. В. Аперидическая схемотехника // в кн. Искусственный интеллект. т.3: Программные и аппаратные средства: под ред. В. Н. Захарова и В. Ф. Хорошевского. – / М.: Радио и связь; 1990. – С. 199-213.
 4. Yakovlev A. Energy-modulated computing //Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. – IEEE, 2011. – pp. 1-6.
 5. Степченков Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И., Филимоненко О. П., Морозов Н. В., Степченков Д. Ю. Библиотека элементов для проектирования самосинхронных полузаказных микросхем серий 5503/5507 и 5508/5509 — М.: ИПИ РАН, 2014. —С.150 -151.
 6. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. – URL: kit-e.ru/articles/plis/2010_11_56.php.
 7. Тюрин С.Ф., Вихорев Р.В. Усовершенствованный метод реализации в FPGA систем логических функций, заданных в СДНФ // Инженерный вестник Дона, 2017, №1 URL: ivdon.ru/ru/magazine/archive/n1y2017/4044.
 8. Золотухо Р., Комолов Д. Stratix III — новое семейство FPGA фирмы Altera. – URL: kit-e.ru/assets/files/pdf/2006_12_30.pdf.
 9. Тюрин С. Ф. Программируемый логический элемент для самосинхронных схем. // Вестник Воронежского государственного университета. Серия: Системный анализ и информационные технологии. 2016. № 3. С. 106-110.
-



10. Тюрин С.Ф., Каменских А.Н., Плотникова А.Ю. Программируемое логическое устройство: патент РФ №2601145; опубл. 27.10.2016, Бюл. №30.

11. Ульман Дж. Д. Вычислительные аспекты СБИС: пер. с англ.: А.В. Неймана / под ред. П.П. Пархоменко. – М.: Радио и связь, 1990. – 480 с.

12. Тюрин С.Ф., Городилов А.Ю., Данилова Е.Ю. Диагностирование логического элемента DC LUT FPGA // Инженерный вестник Дона, 2014, №2 URL: ivdon.ru/ru/magazine/archive/n2y2014/2313/.

References

1. Muller D. E., Bartky W. S. A theory of asynchronous circuits. Proc. Int Symp. On the Theory of Switching, Part 1. Harvard University Press, 1959. pp. 204–243.

2. Aperiodicheskie avtomaty [Aperiodic automatic machines]: pod red. V.I. Varshavskogo. M.: Nayka, 1976. 304 p.

3. Varshavsky V. I., Marahovsky V. B., Rozenblyum L. Yu., Yakovlev A. V. Aperiodicheskaja shemotekhnika [Aperiodic circuit technology]. v kn. Iskusstvennyj intellekt. vol.3: Programmnye i apparatnye sredstva: pod red. V. N. Zakharova i V. F. Khoroshevskogo. M.: Radio i svjaz'; 1990. pp. 199-213.

4. Yakovlev A. Energy-modulated computing. Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. IEEE, 2011. pp. 1-6.

5. Stepchenkov Yu. A., Denisov A. N., D'yachenko Yu. G., Grinfel'd F. I., Filimonenko O. P., Morozov N. V., Stepchenkov D. Yu. Biblioteka elementov dlya proektirovaniya samosinhronnyh poluzakaznyh mikroshem seriy 5503/5507 i 5508/5509 [Library of elements for the design of self-timed semi-custom microcircuits series 5503/5507 and 5508/5509]. M.: IPI RAN, 2014. pp. 150 -151

6. Strogonov A., Cybin S. Programmiruemaya kommutaciya PLIS: vzgljad iznutri [Programmable switching in FPGA: look inside]. URL: kit-e.ru/articles/plis/2010_11_56.php.



7. Tyurin S.F., Vikhorev R.V. Inzhenernyj vestnik Dona (Rus), 2017, №1. URL: ivdon.ru/ru/magazine/archive/n1y2017/4044
8. Zolotuhov R., Komolov D. Stratix III — novoe semejstvo FPGA firmy Altera [Stratix III - a new family of Altera FPGA]. URL: kit-e.ru/assets/files/pdf/2006_12_30.pdf.
9. Tyurin S.F. Vestnik Voronezhskogo gosudarstvennogo universiteta. Serija: Sistemnyj analiz i informacionnye tehnologii (Rus). 2016. № 3. pp. 106-110.
10. Tyurin S.F., Kamenskih A.N., Plotnikova A.Yu. Programmiruemoje logicheskoe ustrojstvo [Programmable logic device]: patent RF №2601145; opubl. 27.10.2016, byul. №30.
11. Ullman J. D. Vychislitel'nye aspekty SBIS [Computational aspects of VLSI]: per. s angl.: A.V. Nejmana. pod red. P.P. Parhomenko. M.: Radio i svjaz', 1990. 480 p.
12. Tyurin S.F., Gorodilov A.Yu., Danilova E.Yu. Inzhenernyj vestnik Dona (Rus), 2014, №2 URL: ivdon.ru/ru/magazine/archive/n2y2014/2313/.