
Отладка проектов цифровых систем с использованием прототипирования

А.Д. Иванников

Институт проблем проектирования в микроэлектронике РАН, Москва

Аннотация: При проектировании цифровых систем важным и трудоемким является этап отладки проекта. Отладка проводится на изготовленном прототипе цифровой системы. Для отладки кроме отлаживаемого объекта требуется набор отладочных тестов и возможность организации отладочных режимов на прототипе системы, которые позволяют путем анализа промежуточных переменных локализовать ошибку в проекте при обнаружении неправильной реакции прототипа системы на отладочный тест. Рассматриваются преимущества и недостатки отладки проектов на изготовленном прототипе аппаратного обеспечения всей цифровой системы, а также метод выделения типового стандартного ядра. В последнем случае изготавливаются только прототипы нетиповых схем сопряжения и блоков, которые подключаются к изготовленному ранее и отлаженному типовому ядру. Анализируются особенности обоих подходов. Формулируются классы наиболее частых применений рассмотренных способов.

Ключевые слова: цифровые системы, отладка проектов, совместная отладка аппаратных и программных средств, прототипирование проекта, компоненты процесса отладки.

Введение

Важным элементов процесса проектирования цифровых систем в микроэлектронном исполнении является проверка правильности разработанного проекта. Ошибки при проектировании могут быть вызваны как неточностью задания директив разработчиком в процессе автоматизированного проектирования, так и неучетом каких-то особенностей соединяемых цифровых блоков, неточной реализацией выполняемых цифровой системой функций и другими причинами [1, 2]. Ошибки и неточности могут располагаться как в схеме технических средств цифровой системы, так и в тексте программного или микропрограммного обеспечения. Существенное усложнение разрабатываемых в настоящее время цифровых микроэлектронных систем делают процесс выявления и исключения ошибок проектирования весьма важным и трудоемким. Особенно существенно проверить правильность совместной работы схемы и программного обеспечения [3, 4].

Необходимые элементы процесса проверки правильности проекта цифровых систем

Проверка правильности проекта цифровой системы – процесс отладки проекта предполагает наличие следующих возможностей.

Прежде всего, необходимо иметь проверяемую, то есть отлаживаемую сущность: некий аппаратно-программный модуль или его компьютерную модель. Причем главным требованием является ее точное функциональное соответствие тому изделию, которое будет изготовлено как результат проекта цифровой системы [5]. В данной работе мы сосредоточимся на анализе проведения отладки с использованием аппаратного прототипа проектируемой цифровой системы.

Необходимо также иметь некоторый набор последовательностей входных сигналов, генерируемых испытательным оборудованием и поступающих на вход проверяемого объекта [6, 7]. Указанный набор последовательностей должен в большой степени иметь свойство полноты, иными словами, должна иметься возможность считать объект функционирующим правильно, если все используемые при проверке последовательности дают правильные реакции испытываемой сущности [8].

Естественно также, что разработчик должен иметь возможность принять решение о правильности или ошибочности реакции проверяемого объекта на входные последовательности сигналов. Кроме того, разработчик в случае отсутствия правильной реакции объекта, возможно, при использовании дополнительных исследований должен быть способен локализовать наличие ошибок и неточностей в схеме технических средств или тексте программного обеспечения [9, 10].

Важной и необходимой также является возможность внесения исправлений в проверяемую (отлаживаемую) цифровую систему, как в схему технических средств, так и в текст программного и/или микропрограммного обеспечения для дальнейшей проверки проекта цифровой системы.

Рассмотрим сравнение возможных подходов к проверке и отладке проектов рассматриваемых изделий на этапе проектирования с точки зрения различных перечисленных выше компонентов процесса.

Представление отлаживаемого проекта цифровой системы для его отладки

Отладка проекта цифровой системы возможна как на изготовленном макете, выполненном тем же способом, как и окончательный вариант, так и на имитирующих аппаратных средствах, например, программируемых логических интегральных схемах (ПЛИС) [11]. Опираясь на это, можно выделить следующие методы отладки, возможные на этапе проектирования:

- полное изготовление прототипа технических средств цифровой системы и его отладка;
- изготовление прототипа только нестандартных блоков цифровой системы и их подключение к уже имеющейся типовой центральной части цифровой системы.

Изготовление прототипа технических средств

При изготовлении технических средств полностью осуществлять отладку проекта цифровой системы можно по окончании процесса создания прототипа.

При этом для обнаружения и определения места неточностей разработки как технических, так и программных составляющих требуется анализировать внутреннее состояние регистров и ячеек памяти, следить за значениями на шинах и линиях цифровой системы [12, 13]. Необходимо также прерывать, а после анализа промежуточных результатов возобновлять выполнение программ или микропрограмм, при этом, возможно, модифицировать состояние регистров и ячеек памяти. Фиксация внешних логических сигналов в прототипе возможно осуществлять посредством логических анализаторов. Фиксация же содержимого внутренних регистров и ячеек

памяти, которые не поступают на выходы цифровой системы, их модификация, а также разрыв выполнения отлаживаемой программы и ее рестарт, что необходимы для отладки, при отсутствии в прототипе специальных добавок невозможны. Перечисленные функции возможны, если при изготовлении прототипа в него были встроены специальные средства, как например, подсистема JTAG [14]. Встраивание в прототип таких специальных средств только частично решает проблему организации проверочных режимов. Проектирование же вспомогательных возможностей для проверки и отладки прототипов и их встраивание достаточно сложная задача.

Проверка работы цифровой системы на аппаратном прототипе, компоненты которого имеют фиксированные величины задержки, не обеспечивает правильность функционирования при всех допустимых задержках [15, 16].

Проверка функционирования прототипа в реальном времени совместно с обслуживаемым оборудованием весьма непростая из-за трудностей имитации некоторых, в частности, аварийных вариантов. Это возможно исключительно при компьютерном моделировании как цифровой системы, так и обслуживаемого оборудования с одинаковыми временными характеристиками [17, 18].

Прототипирование только нестандартных блоков цифровой системы

При прототипировании только нестандартных блоков цифровой системы необходимо выделение этих блоков из разрабатываемой цифровой системы, и добавление их к изготовленному и проверенному ядру, используемому в системах такого же типа. В качестве нестандартных блоков могут выступать конкретные нетиповые схемы сопряжения с обслуживаемым оборудованием. Проверенная центральная часть системы, ее аппаратная и программная составляющие, уже имеющие встроенные средства проверки и модификации

внутренних переменных, совместно с прототипами нестандартных частей и являются прототипом отлаживаемой системы.

В несложных цифровых контроллерах базовая составляющая (процессор или процессоры, память, типовые устройства сопряжения) всегда одинакова для различных применений. В данном случае именно поэтому такой подход используется чаще [19, 20].

Особым случаем являются цифровые системы с использованием микропрограммирования, где имеются существенное различие в построении, центральная часть включает микропрограммные управления и память микропрограмм большой разрядности, а вычислительная часть с внешними интерфейсами прототипируется в соответствии с конкретным проектом. В этом случае прототипируемые блоки занимают больший процент системы, чем для процессоров с фиксированной системой команд. Конечно, типовой вариант микропрограммного управления затрудняет формирование типового варианта центральной части прототипа цифровой системы.

Если проектируется достаточно типовая многопроцессорная система, то такой подход также применяется. Прототипируются нестандартные схемы сопряжения с управляемым оборудованием, а также иногда части системы, аппаратно реализующие дополнительные функции. При нетиповой организации многопроцессорной системы использование такого подхода не всегда эффективно из-за трудности вычленения значительного типового ядра.

Таким образом, для прототипирования только нестандартных частей отлаживаемой цифровой системы можно сформулировать нижеприводимые особенности.

1. Подход эффективен при отладке проектов со значительным по объему типовым ядром технических средств. Применение при нетиповой структуре и архитектуре отлаживаемой цифровой системы невозможно.

2. Прототипирование только нестандартных частей системы обладает теми же слабостями, что и полное прототипирование вообще. Перечислим их:

- неудобство модификации схемы технических средств при проверке функционирования;
- негарантированность правильного функционирования технических средств при заданных по условиям вариациях временных параметров блоков;
- невозможность проверки функционирования прототипа системы одновременно с управляемым оборудованием из-за трудности реализации некоторых, например, аварийных режимов этого оборудования.

Заключение

Представляющееся естественным использование аппаратного прототипа проектируемой цифровой системы для ее отладки несмотря на то, что такой подход широко используется, обладает определенными недостатками. Наиболее часто он применяется для сравнительно несложных цифровых систем с большим по объему, универсальным по структуре и архитектуре ядром технических средств. При этом прототипируются только нестандартные схемы сопряжения с управляемым оборудованием и в ряде случаев другие нестандартные блоки. Нестандартные части подключаются к имеющемуся типовому ядру и отладка проводится на полученном прототипе цифровой системы.

Литература

1. Стемповский А.Л., Тельпухов Д.В., Соловьев Р.А., Тельпухова Н.В. Исследование вероятностных методов оценки логической уязвимости комбинационных схем // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2016. № 4. С. 121-126.

2. Слинкин Д.И. Анализ современных методов тестирования и верификации проектов сверхбольших интегральных схем // Программные продукты и системы. 2017. Т. 30. № 3. С. 401-408.

3. Shi, Jin; Liu, Weichao; Jiang, Ming; et al. Software Hardware Co-Simulation and Co-Verification in Safety Critical System Design. 2013 IEEE International Conference on Intelligent Rail Transportation (ICIRT). Pp. 71-74.

4. Nguen M.D. Hardware/software formal co-verification using hardware verification techniques. Fourth Int. Conf. on Communications and Electronics (ICSE). 2012. Pp. 465-470.

5. Иванников А.Д. Составление множества функций при формировании отладочных тестов для цифровых систем управления объектами // Мехатроника, автоматизация, управление. 2018. Т. 19. № 12. С. 770-776.

6. Иванников А.Д. Формирование отладочного набора тестов для проверки функций цифровых систем управления объектами // Мехатроника, автоматизация, управление. 2017. Т. 18. № 12. С. 795-801.

7. Полевщиков И.С., Файзрахманов Р.А. Автоматизированное управление тестированием программных систем с применением нейронных сетей // Инженерный вестник Дона. 2018. №4. URL: ivdon.ru/ru/magazine/archive/n4y2018/5283.

8. Полевщиков И.С., Чирков М.С., Леванов А.В. Автоматизированная система разработки тест-планов при проведении тестирования программного обеспечения // Инженерный вестник Дона. 2019. №8. URL: ivdon.ru/ru/magazine/archive/n8y2019/6252.

9. Ivannikov A., Kulagin V., Romanov A., Pozdneev B. Algebraic models of digital system design debugging decomposition. Proceedings of 2016 IEEE East-West Design and Test Symposium, EWDTs 2016. 2016. P. 7807712.

10. Цветков В.Я. Неявное знание и его разновидности // Вестник Мордовского университета. 2014. Т. 24. № 3. С.199-205.

11. Зотов В. Инструментальные средства разработки и отладки цифровых устройств и встраиваемых микропроцессорных систем, проектируемых на основе ПЛИС FPGA фирмы XILINX серии Kintex-7 // Компоненты и технологии. 2012. № 4 (129). С. 124-132.
12. Zheleznikov D.A., Lyalinsky A.A. The method of timing optimization for FPGA at the microarchitecture level using the pipelining mechanism // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2017. № 3. С. 58-62.
13. Tsvetkov V. Ya. Information Space, Information Field, Information Environment. European researcher. 2014. № 8-1(80). Pp.1416-1422.
14. X. Hu, Y. Jin and Z. Li. A Parallel JTAG-based Debugging and Selection Scheme for Multi-core Digital Signal Processors. 2018 IEEE International Conference of Safety Produce Informatization (ICSPI). Chongqing, China. 2018. Pp. 527-530.
15. Гаврилов С.В., Глебов А.Л., Стемпковский А.Л. Анализ помехоустойчивости цифровых схем на основе логических импликаций // Известия высших учебных заведений. Электроника. 2002. № 5. С. 60.
16. Klinachev N.V., Shaburov P.O. Technique for debugging of the data exchange between the PC and microprocessor-controlled electromechanical systems based on the modbus RTU protocol. 2017 International Conference on Industrial Engineering, Applications and Manufacturing (ICIEAM). St. Petersburg. 2017. Pp. 1-5.
17. Фролова П.И., Чочаев Р.Ж., Иванова Г.А., Гаврилов С.В. Алгоритм размещения с оптимизацией быстродействия на основе матриц задержек для реконфигурируемых систем на кристалле // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2020. № 1. С. 2-7.
18. Tsvetkov V. Ya. Virtual Modeling. European Journal of Technology and Design. 2016. No. 1(11). Pp. 35-44.

19. Стрелец А.И., Протопопова Ю.Д., Иванников В.С. Универсальная система для тестирования цифровых устройств // Научный журнал. 2018. № 5 (28). С. 41-44.

20. Romanov A.Yu., Ivannikov A.D., Romanova I.I. Simulation and synthesis of network-on-chip by using NOCSIPM HDL library. 2016 IEEE 36th International Conference on Electronics and Nanotechnology, ELNANO 2016 – Conference Proceedings. 36. 2016. Pp. 300-303.

References

1. Stempkovskiy A.L., Telpukhov D.V., Solovyev R.A., Telpukhova N.V. Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MES). 2016. № 4. pp. 121-126.

2. Slinkin D.I. Programmnie produkti I sistemi. 2017. V 30. № 3. pp.401-408.

3. Shi, Jin; Liu, Weichao; Jiang, Ming; et al. 2013 IEEE International Conference on Intelligent Rail Transportation (ICIRT). 2013. Pp. 71-74.

4. Nguen M.D. Fourth Int. Conf. on Communications and Electronics (ICCE). 2012. Pp. 465-470.

5. Ivannikov A.D. Mekhatronika, Avtomatizatsiya, Upravlenie. 2018. V. 19. No. 12. Pp.770-776.

6. Ivannikov A.D. Mekhatronika, Avtomatizatsiya, Upravlenie. 2017. V. 18. No. 12. Pp.795-801.

7. Polevshikov I.S., Faizrahmanov R.A. Inzhenernyj vestnik Dona, 2018, №4. URL: ivdon.ru/ru/magazine/archive/n4y2018/5283.

8. Polevshikov I.S., Chirkov M.S., Levanov A.B. Inzhenernyj vestnik Dona, 2019, №8. URL: ivdon.ru/ru/magazine/archive/n8y2019/6252.

9. Ivannikov A., Kulagin V., Romanov A., Pozdneev B. Proceedings of 2016 IEEE East-West Design and Test Symposium, EWDTTS 2016. 2016. P. 7807712.

10. Tsvetkov V.Ya. Vestnik Mordovskogo universiteta.2014. V.24. Pp.199-205.

11. Zotov V. Komponenti i Tehnologii. 2012. No. 4(129). Pp. 124-132.
12. Zheleznikov D.A., Lyalinsky A.A. Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MES). 2017. № 3. p. 58-62.
13. Tsvetkov V. Ya. European researcher. 2014. No. 8-1(80). Pp.1416-1422.
14. X. Hu, Y. Jin and Z. Li. 2018 IEEE International Conference of Safety Produce Informatization (IICSPI). Chongqing, China. 2018. Pp. 527-530.
15. Gavrilov S.V., Glebov A.L., Stempkovskiy A.L. Izvestiya vysshih uchebnyh zavedenij. Elektronika, 2002. №5. P. 60.
16. Klinachev N.V., Shaburov P.O. 2017 International Conference on Industrial Engineering, Applications and Manufacturing (ICIEAM). St. Petersburg. 2017. Pp. 1-5.
17. Frolova P.I., Chochaev R.J., Ivanova G.A., Gavrilov S. V. Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem (MES). 2020. № 1. Pp. 2-7.
18. Tsvetkov V. Ya. European Journal of Technology and Design. 2016. No. 1(11). Pp. 35-44.
19. Streletc A.I., Protopopova Yu.D., Ivannikov V.S. Nauchnyj zhurnal 2018. No. 5(28). Pp. 41-44.
20. Romanov A.Yu., Ivannikov A.D., Romanova I.I. 2016 IEEE 36th International Conference on Electronics and Nanotechnology, ELNANO 2016 – Conference Proceedings. 36. 2016. Pp. 300-303.